

### 9.4 FET 増幅回路と等価回路

Fig.9.9 は JFET のソース接地回路を示す。

ゲートには  $V_G = -1.5V$  のバイアス電圧が与えられ、ソース・ゲート間には逆バイアス電圧がかけられている。負の大きなゲート電圧が加えられると N チャンネルは狭まりソース・ドレイン間の電流は小さくなり、逆に  $-1.5V$  より大きな電圧を加えるとチャンネルは拡がりソース・ドレイン間の電流は大きくなる。コンデンサ  $C_1$  はゲートの直流成分を遮断して  $-1.5V$  を保ち、同時に信号  $V_s$  をゲートに供給する。出力側の  $C_2$  はドレインに掛かる直流電圧を遮断して出力側に流さない役目

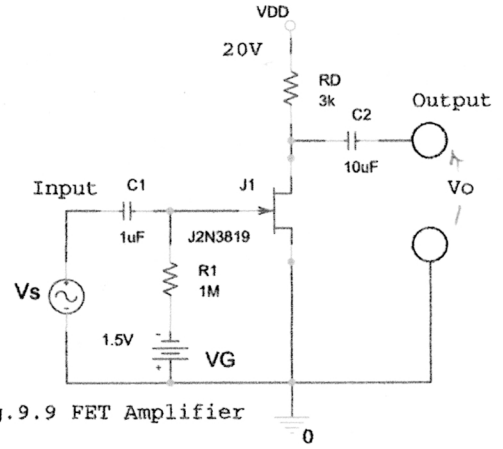


Fig.9.9 FET Amplifier

をしている。FET の等価回路を導こう。まず出力側の等価回路はバイポーラトランジスタの等価回路とほぼ同じで、 $R_c$  を  $R_D$ 、定電流電源  $gmV_1$  を  $gmV_G$  と書く。ゲート・ソース間は PN 接合ダイオードが逆バイアス状態になっているので電流は殆ど流れず、その抵抗は無限大と見なすことができる。等価回路ではゲートが開放されている。実際には Fig.9.9 において  $C_1$  および  $R_G$  が並列に接続されているが信号  $V_s$  の角周波数を  $\omega$  とすると、 $\omega C_1 R_G \gg 1$  のとき  $C_1$

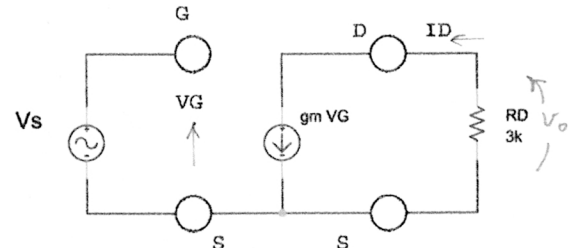


Fig.9.10 Equivalent Circuit

を短絡し、 $R_G$  を無限大と近似して Fig.9.10 が表現されている。FET を含む等価回路を Fig.9.10 に示す。FET の  $g_m$  を求めるため FET の  $I_D - V_G$  特性のグラフを Fig.9.11 に示す。

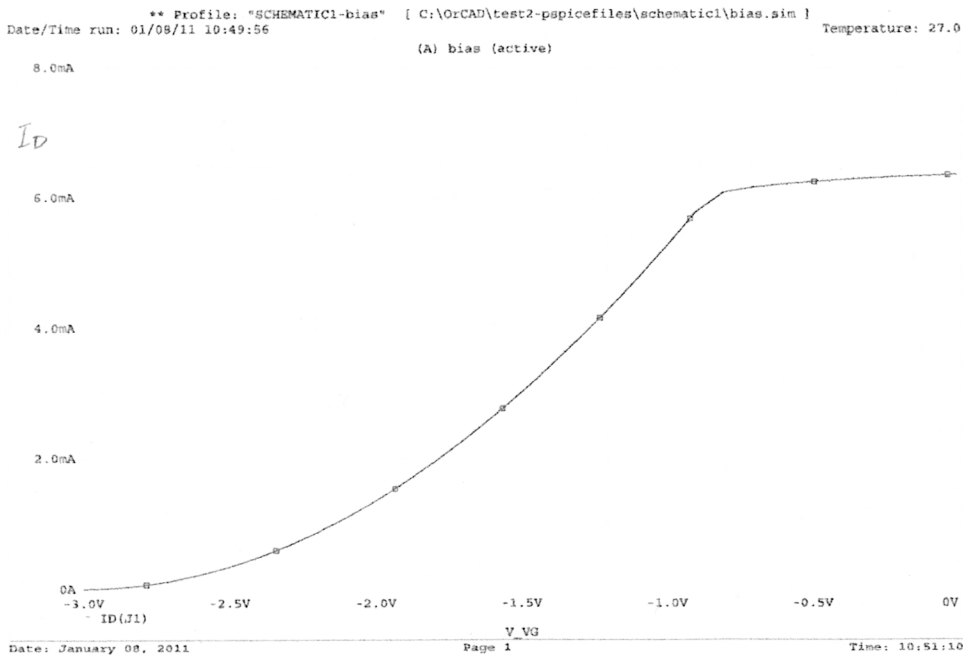


Fig.9.11  $I_D - V_G$  特性

相互コンダクタンス  $g_m$  は Fig.9.11 の勾配であるから、バイアス  $V_G = -1.5V$  の点では

$$g_m = \frac{\Delta I_D}{\Delta V_G} = \frac{1.6(mA)}{0.4(V)} = 4(mS)$$

増幅度は  $A_v = -g_m R_D = -4 \times 10^{-3} \times 3 \times 10^3 = -12$  となる。