

電気電子回路入門

2012年1月31日

前回のポイント

- バイポーラートランジスタの原理
- トランジスタの静特性
- トランジスタの増幅作用
- 動作点の決定
- バイアス抵抗の設定

トランジスタの等価回路

今回のポイント

- FETの原理
- FETの種類
- FET回路の動作
 - 動作点の決定
 - バイアス抵抗の設定

FETの等価回路

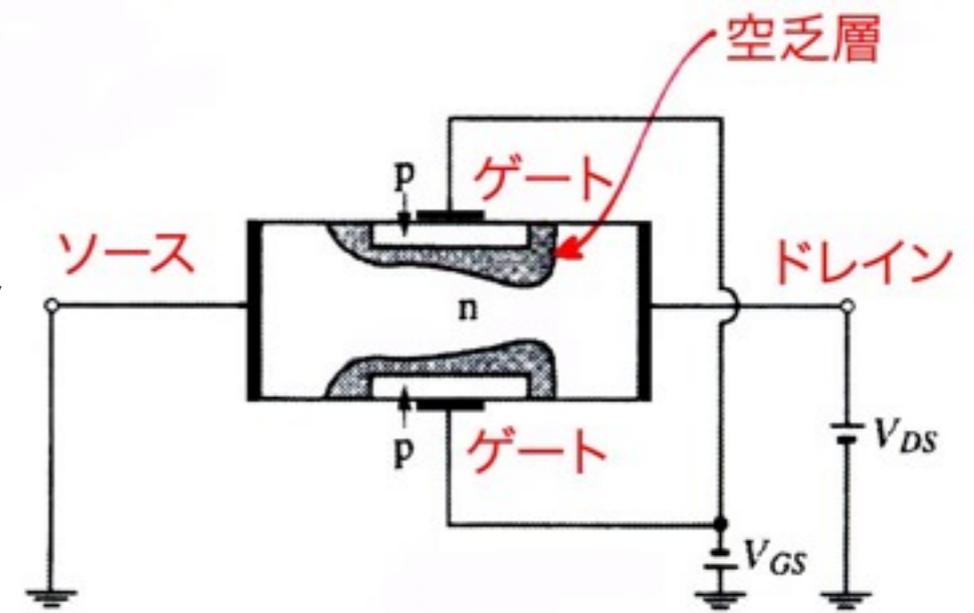
今回のポイント

オペアンプ回路

- ICオペアンプの特性
 - 理想と現実
- オペアンプの基本回路
 - 反転増幅器
 - 加算器
 - 積分(微分)器
 - 非反転増幅器
 - ボルテージフォロア
 - 計装(インスツルメンテーション)アンプ(問10.3)

9.4 FET (電界効果トランジスタ)

- 接合トランジスタの直後に発表
- 電流通路の断面積を制御
- キャリアは1種類⇔トランジスタ
ユニポーラ⇔バイポーラ
- 接合型FET(J-FET)
- 端子名
 - ソース(S)
 - ドレイン(D)
 - ゲート(G)
- Nチャネル と Pチャネル
- ピンチオフ(空乏層がくっつく)



(a) nチャネルJFETの構造

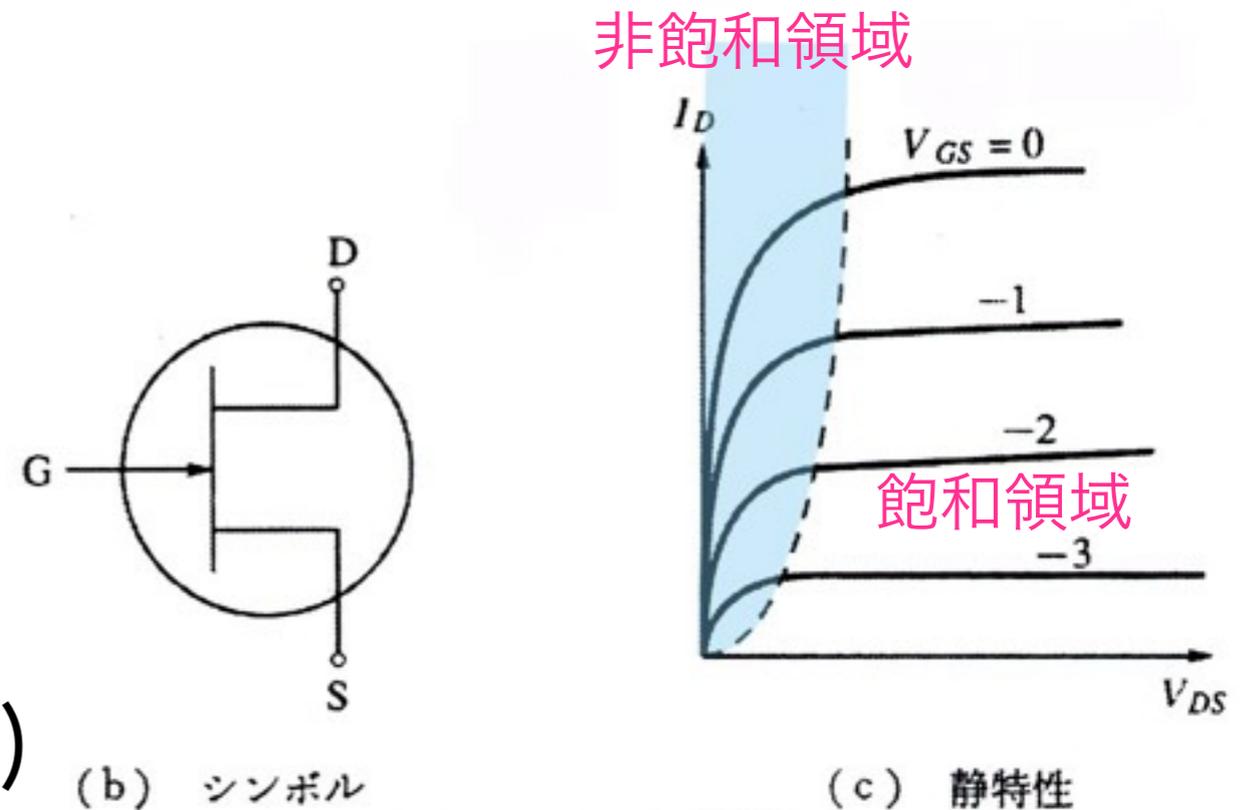
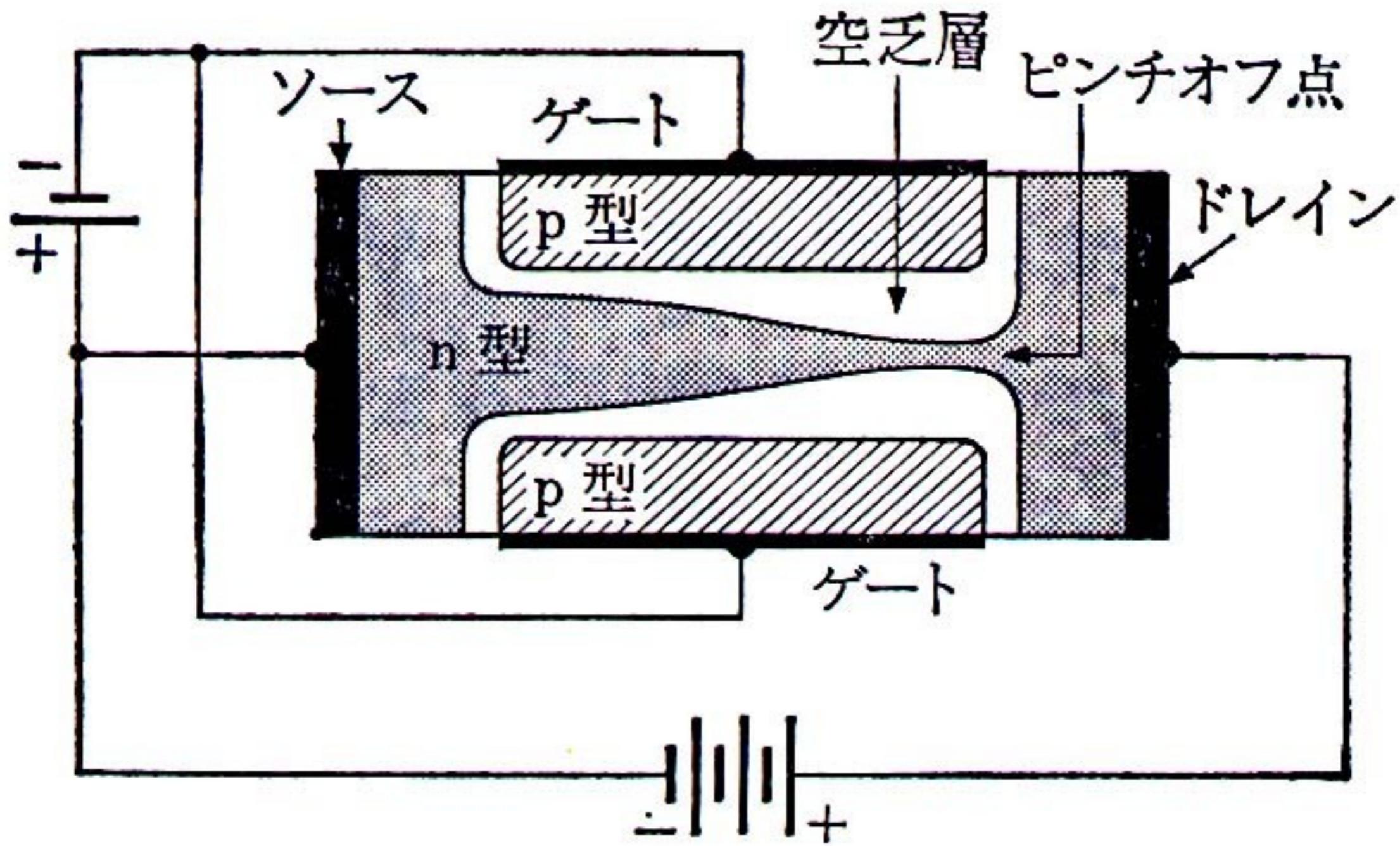


Fig. 9.6 FETの静特性



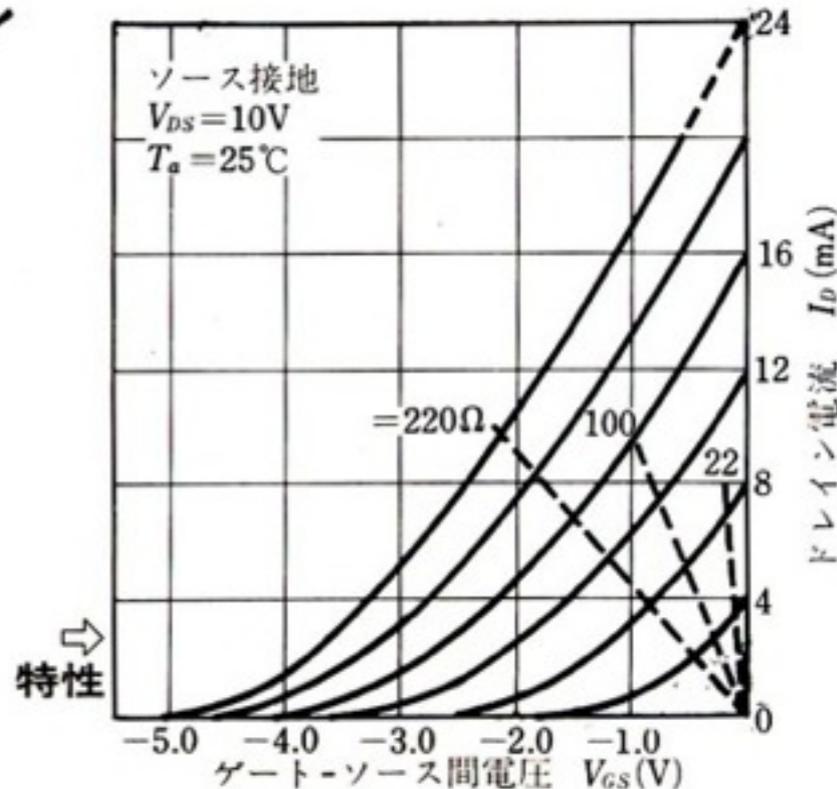
4-9 図 n型チャンネル接合型 FET の構造

2SK19TM, 2SK192 Si 接合型 Nチャンネル

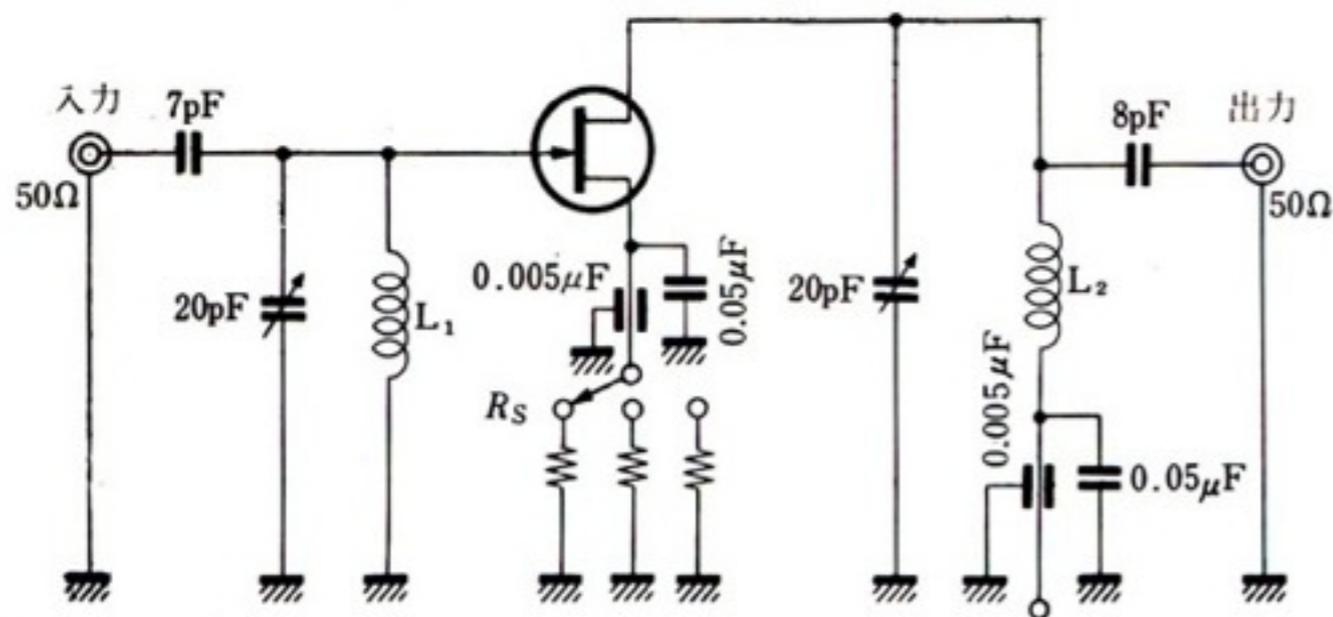
グループごとに R_s を切り換えて測定

分類	I_{DSS} (mA)	
	最小	最大
Y	3.0	7.0
GR	6.0	14.0
BL	12.0	24.0

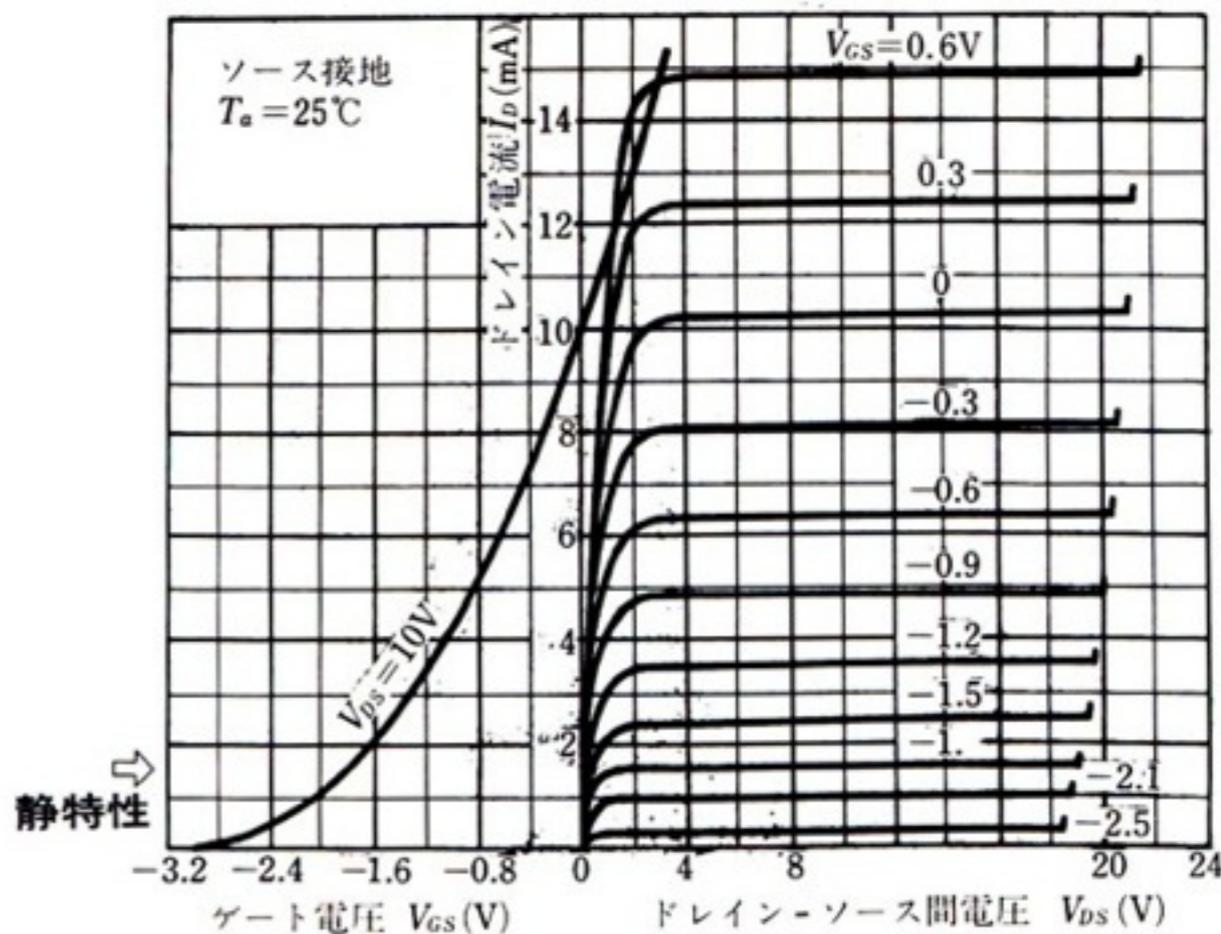
グループ	ソース抵抗値
Y	$22\Omega \pm 5\%$
GR	$100\Omega \pm 5\%$
BL	$220\Omega \pm 5\%$



100MHz G_{ps} NF測定回路



L_1 : 0.8mmφ 銀メッキ線空心 3 T 巻径10mmφ 巻長10mm
 L_2 : 0.8mmφ 銀メッキ線空心3.5 T 巻径10mmφ 巻長10mm



FETの特徴

- 入力インピーダンスが高い(電圧制御)
- 電流性ノイズが非常に小さい(多数キャリア)
- 混変調ひずみがほとんど発生しない
- 温度係数を0に設定できる
- 熱暴走しない
- ストレージ・タイムが無い(多数キャリア)
- 高速スイッチングができる(多数キャリア)
- 以前は大電力を扱えなかった(今はOK)

ほぼ完璧

MOSFET

- ゲートはコンデンサ的
- エンハンスメント (E)型とデプレッション (D)型 (中間のD+E型もあり)
- $V_{GS}-I_D$ 特性

$$I_D = \frac{\beta}{2} (V_{GS} - V_P)^2 \quad (9.8) \quad ; V_{GS} \geq V_P$$

$$\beta = \frac{h\mu_e \varepsilon}{WL}$$

W:酸化膜の厚さ

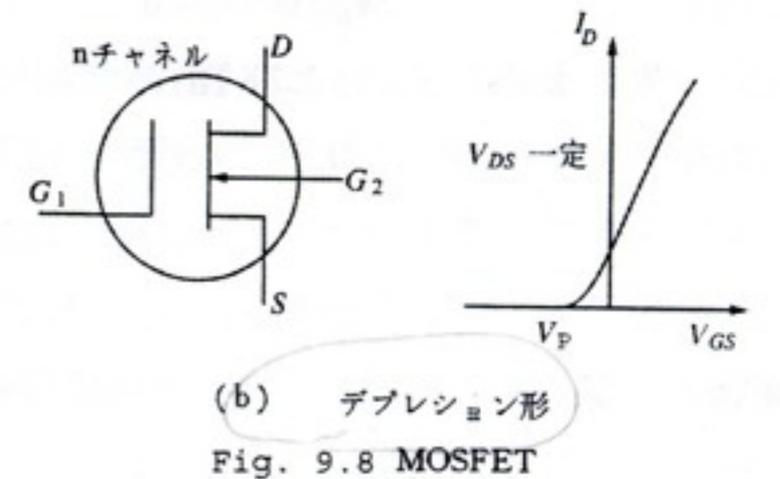
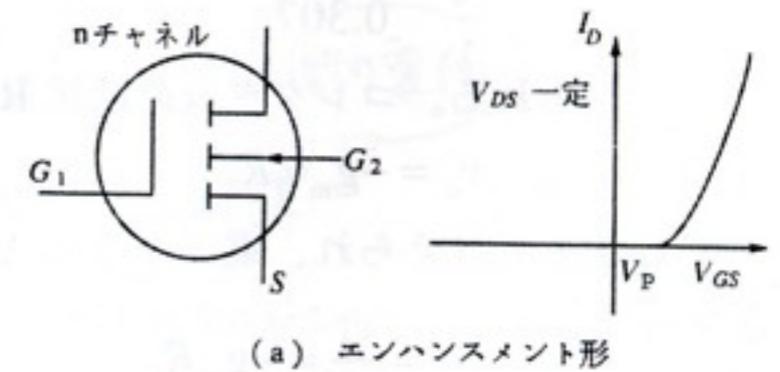
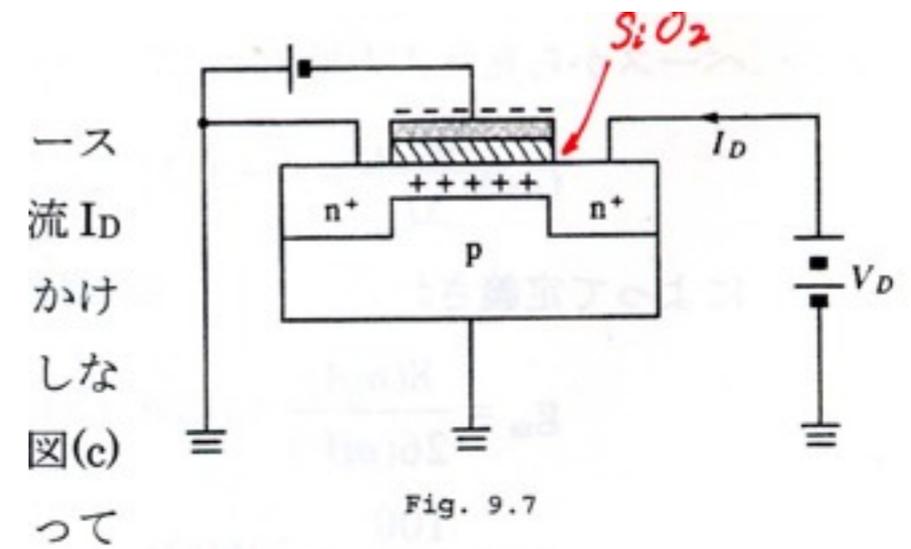
ε : 酸化膜の誘電率

L : チャンネルの長さ

h : チャンネルの幅

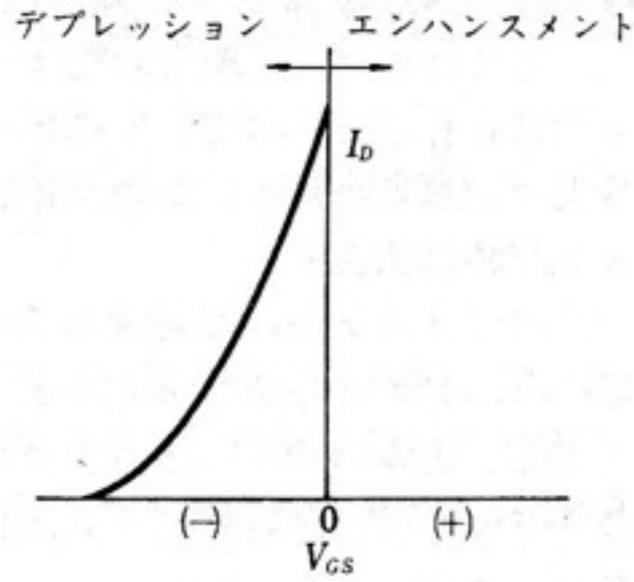
μ_e : 電子の移動度

- 2乗特性 (飽和領域)

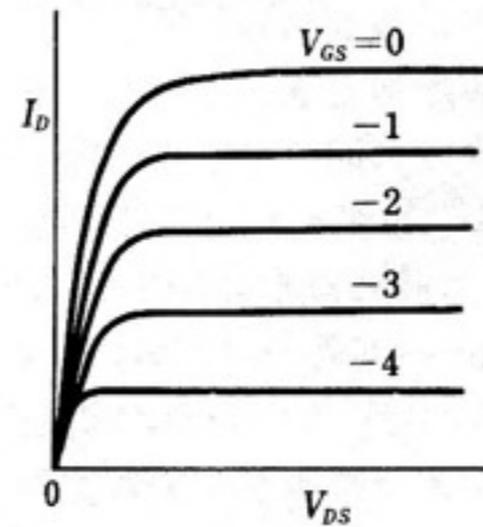


特性の種類

参考

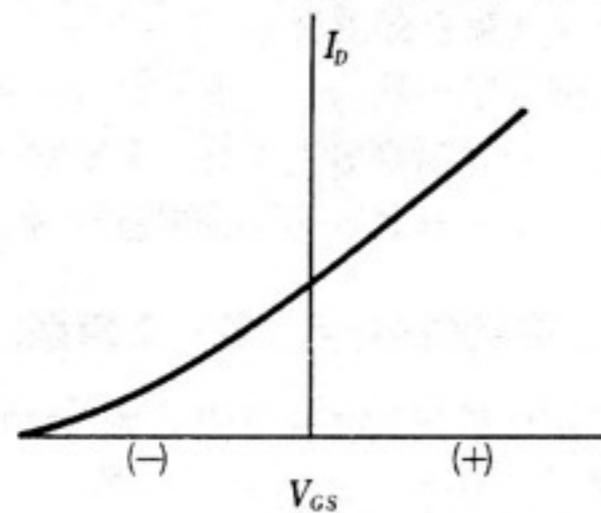


(a) デプレッション型

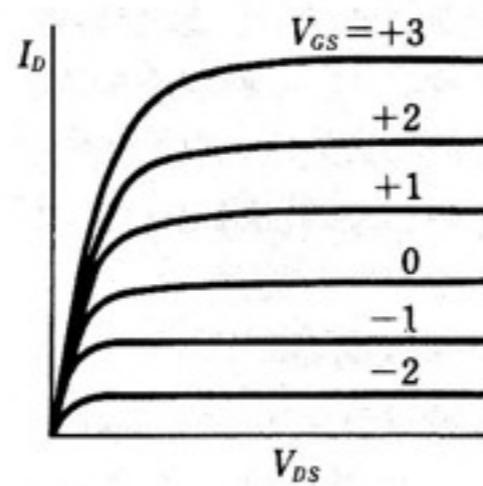


$V_{GS} < 0 \text{ V}$

Sに抵抗

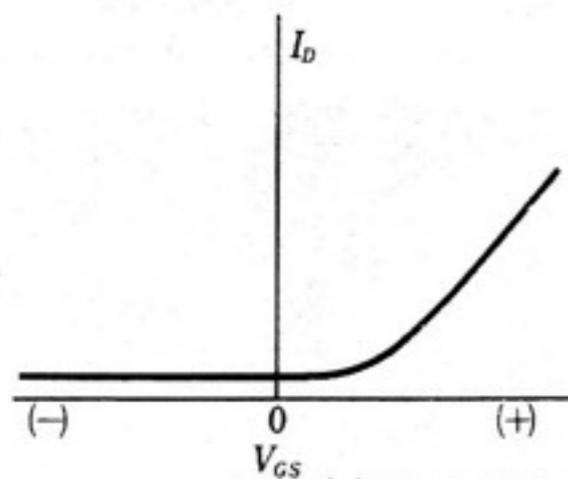


(b) デプレッション+エンハンスメント型

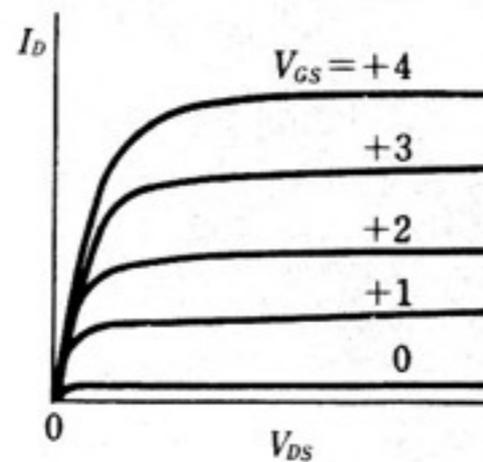


$V_{GS} \sim 0 \text{ V}$

バイアス不要



(c) エンハンスメント型



$V_{GS} > 0 \text{ V}$

V_{DD} からGに抵抗

(+バイアス)

FET回路記号の種類

〈図 2-7〉 各種 FET の回路図記号 (太線内が「トランジスタ技術」で標準として使用している記号) —

		トランジスタ技術の図記号					備考	
JFET	Pチャンネル	Nチャンネル	Nチャンネル	Pチャンネル		ゲートの引き出し位置は中央 (ANSI-IEEE)		
	Nチャンネル	Pチャンネル	Nチャンネル	Pチャンネル		ゲートの引き出し位置はソース側 (JIS, IEC)		
MOSFET	Pチャンネル・ディプリーション・モード	Nチャンネル・ディプリーション・モード	Pチャンネル・エンハンスメント・モード	Nチャンネル・エンハンスメント・モード	簡略表示	簡略 Nチャンネル	簡略 Pチャンネル	

9.5 FET回路の動作

- $V_G=0$

- $V_S=R_S I_D$

$$\therefore V_{GS} = -R_S I_D \quad (9.9)$$

- $V_D = V_{DD} - (R_D + R_S) I_D \quad (9.10)$

- 負荷直線↑

- I_B が無いので単純

- $V_{DD}=26.4V, R_D=5k\Omega, R_S=1k\Omega$ とすると

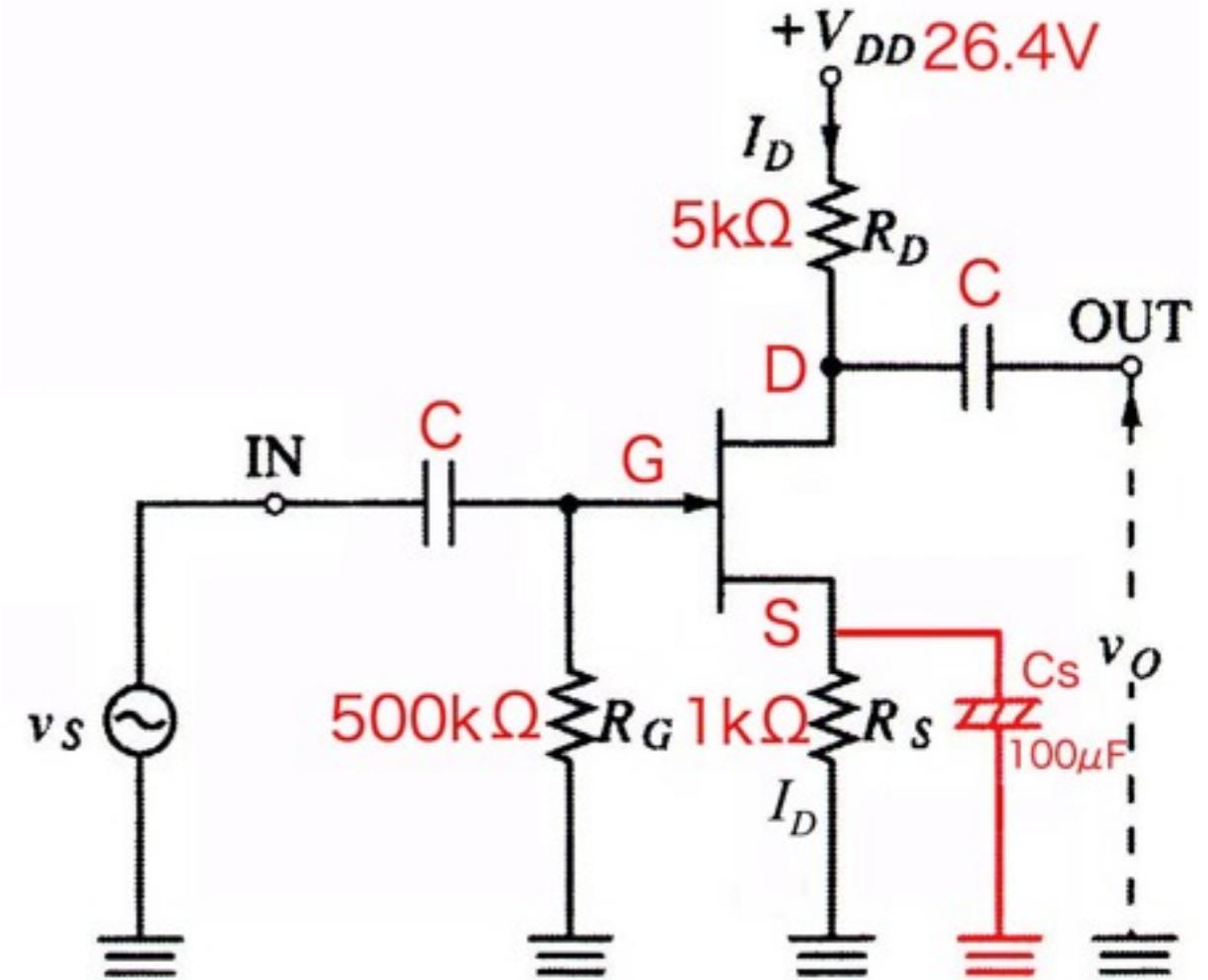


Fig. 9.9 FET 増幅回路

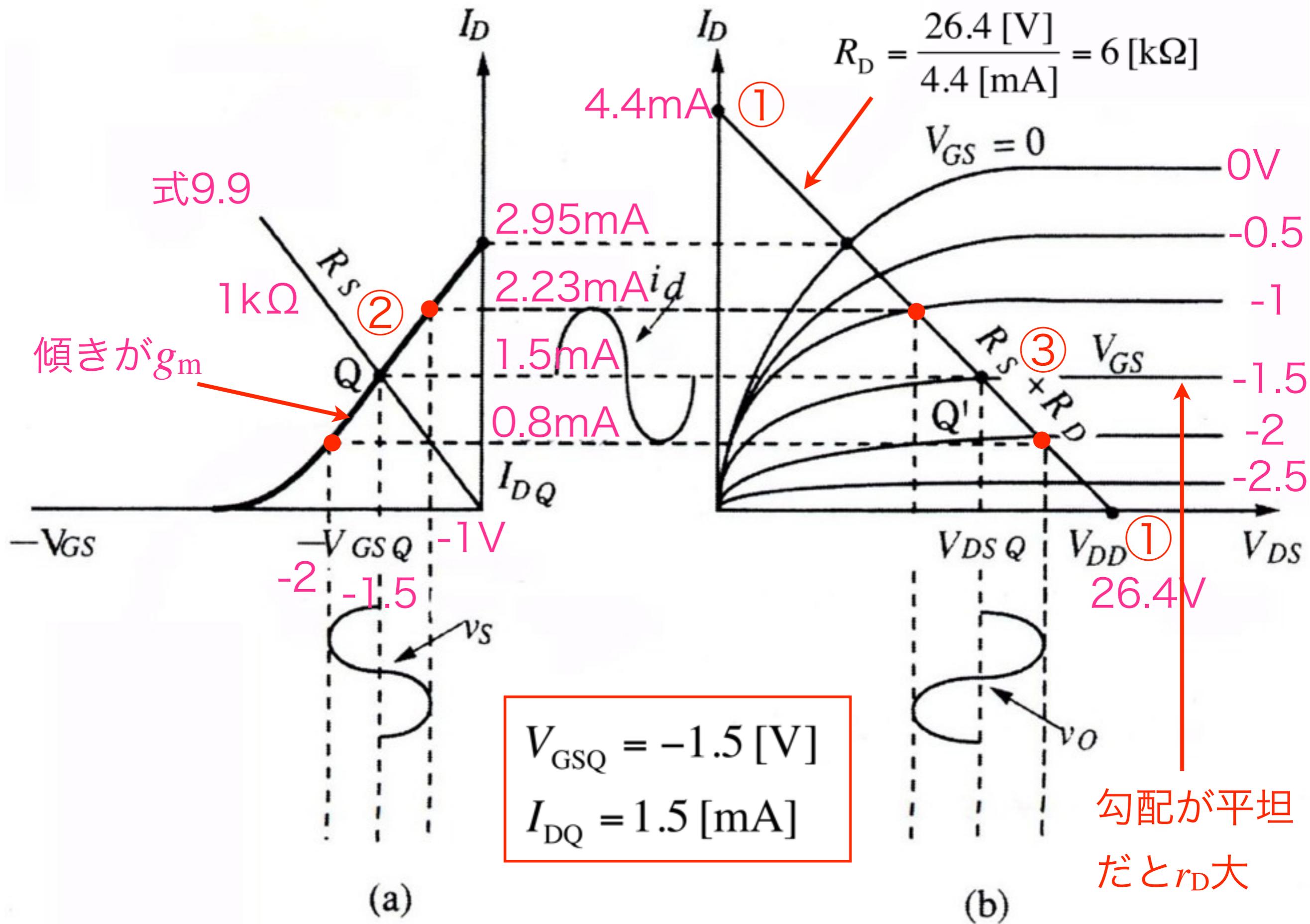


Fig. 9.10 FET 増幅回路の動作特性

等価回路

- 相互コンダクタンス g_m

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \frac{2.23 - 0.8 \text{ [mA]}}{(-1) - (-2) \text{ [V]}} = 1.43 \text{ [mS]} \quad (9.11)$$

$$R_i = \frac{\Delta V_{GS}}{\Delta I_G} \approx \infty \quad (9.12)$$

$$r_D = \frac{\Delta V_{DS}}{\Delta I_D} \quad (9.13)$$

- $R_D \ll r_D$ なら無視できる

$$v_o = -g_m v_1 R_D \quad (9.14)$$

$$A_v = \frac{v_o}{v_s} = \frac{v_o}{v_1} = -g_m R_D \quad (9.15)$$

$$= -1.43 \text{ [mS]} \times 5 \text{ [k}\Omega\text{]} = -7.15$$

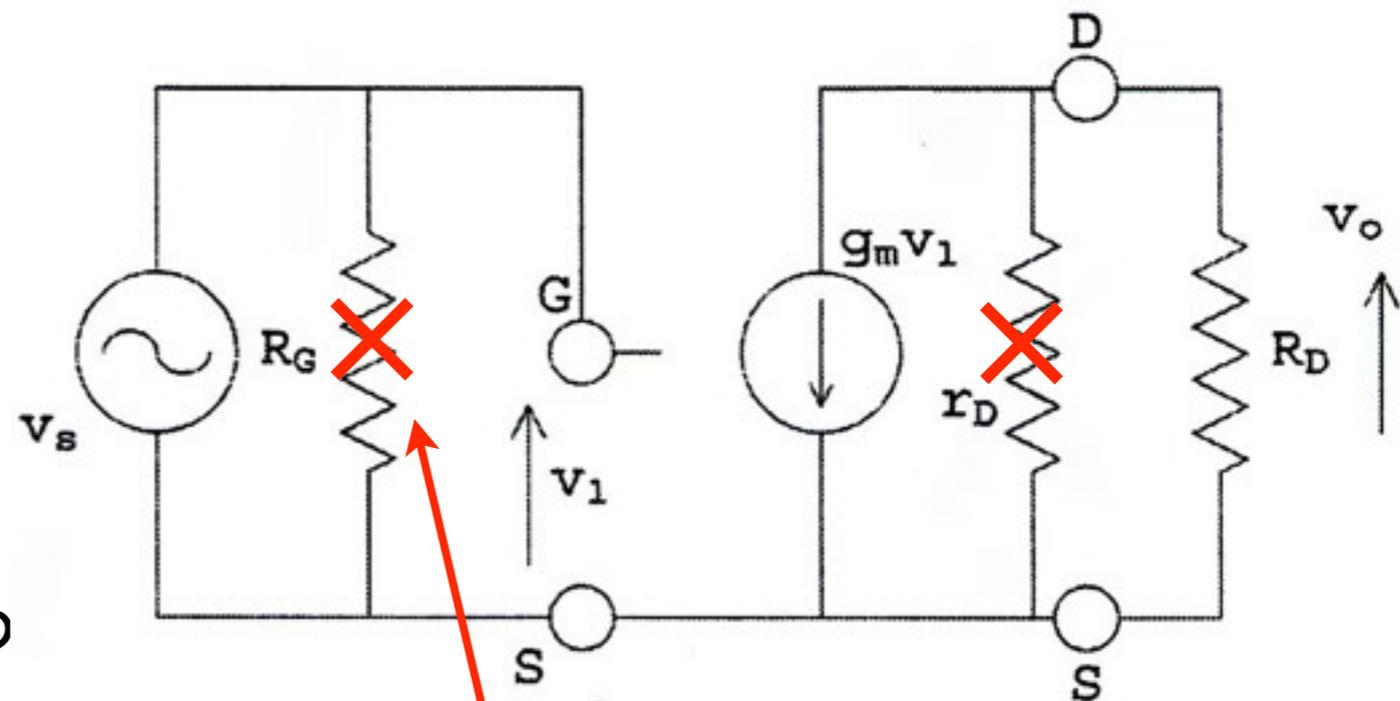


Fig. 9.11

500kΩ
R_Gも無視

10 オペアンプ回路

- アナログ用モノリシックIC(⇔ハイブリッドIC)
- 元はアナログ計算機用
- 基本的に2(+、-)入力(差動入力)、1出力

$$v_o = A(v_1 - v_2) \quad (10.1)$$

- (a)入力インピーダンス Z_i が非常に大きい
- (b)出力抵抗 R_o は非常に小さい(電圧制御電圧源)
- (c)差動利得 A は非常に大きい
- (d)帯域幅 B は扱う信号周波数に比べて広いこと

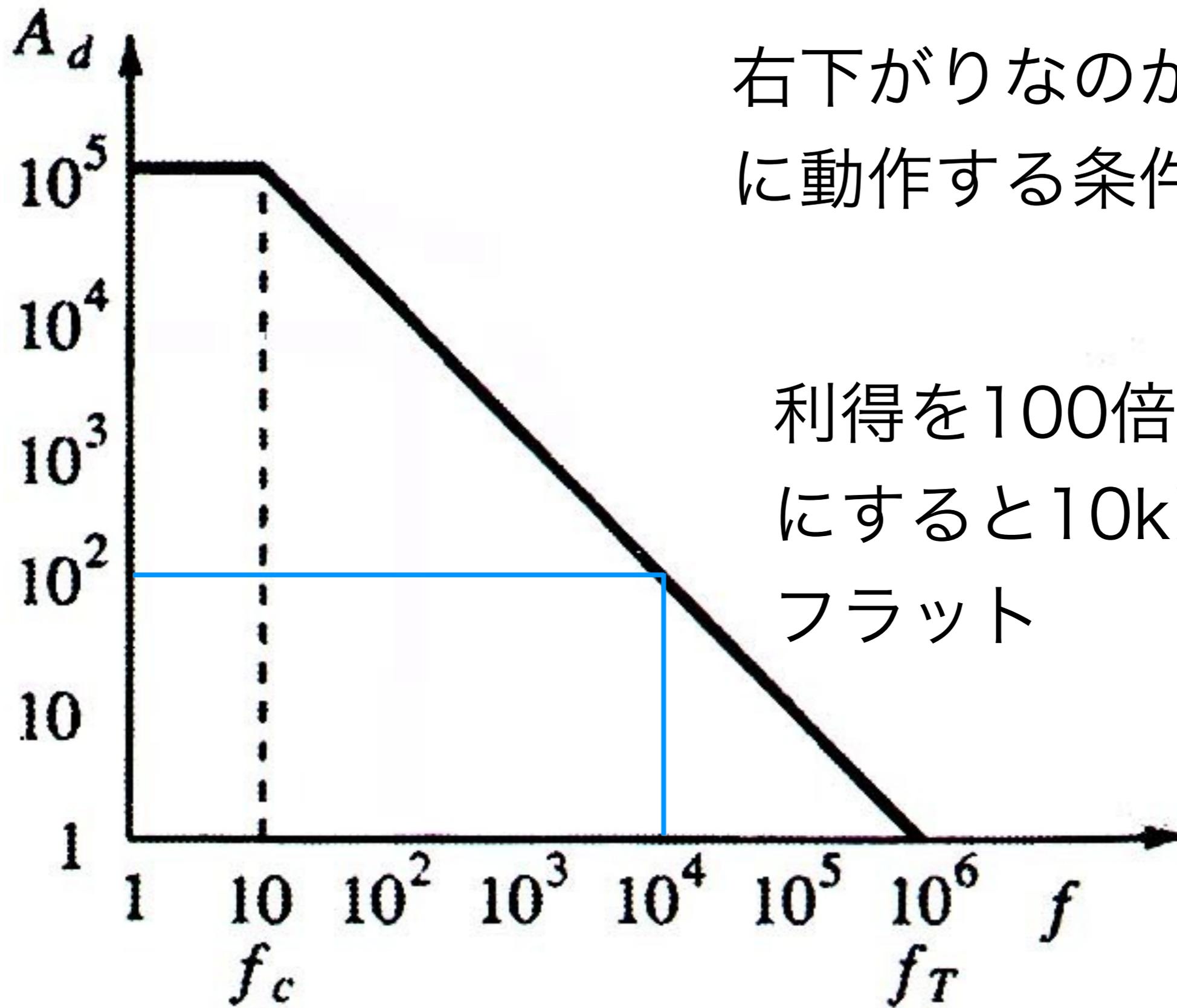
表 10.1 $\mu\text{A} 741$ のデータ

パラメータ	$\mu\text{A} 741$	理想
差動利得 A_d	100 [dB] 以上	∞
帯域幅 B	10 [Hz]	∞
CMRR	90 [dB] 以上	∞
入力インピーダンス Z_i	2 [M Ω] (トランジスタ) 入 力	∞
	10 ⁶ [M Ω] (FET) 入 力	
出力インピーダンス Z_o	50 [Ω]	0

デシベル(dB)

電圧比 $20 \times \log_{10} V$ (10倍→20dB)

電力比 $10 \times \log_{10} W$ (10倍→10dB)



右下がりなのが安定に動作する条件

利得を100倍(40dB)にすると10kHzまでフラット

Fig.10.2 オペアンプの周波数特性

10.2 オペアンプの基本回路

- 負帰還をかけて用いる

$$i_1 = \frac{v_1 - v_i}{R_1} \quad (10.2)$$

$$i_2 = \frac{v_i - v_o}{R_2} \quad (10.3)$$

$$v_o = -Av_i \quad (10.4)$$

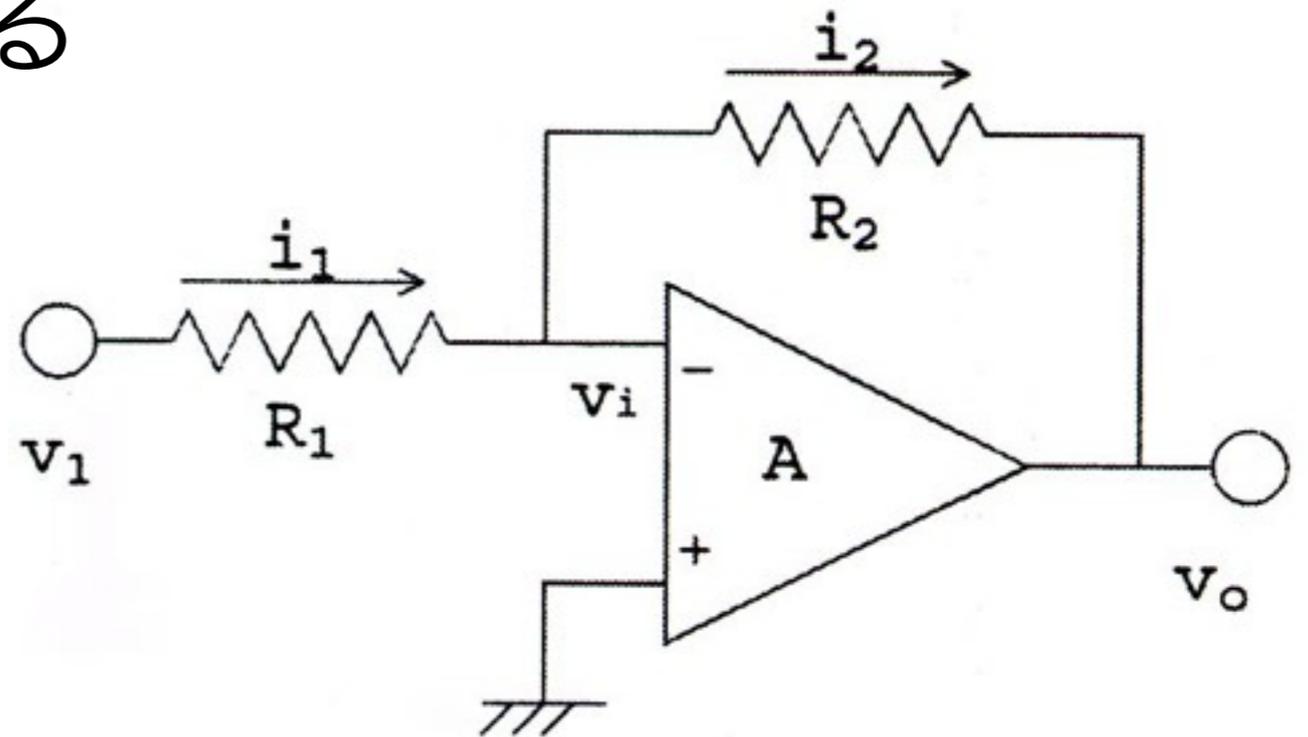


Fig. 10.3

帰還抵抗

- オペアンプの入力抵抗： $R_i \rightarrow \infty$ と仮定 $\therefore i_1 = i_2$

$$R_2 v_1 = -\left(\frac{R_1 + R_2}{A} + R_1\right) v_o \quad (10.5) \quad A \rightarrow \infty$$

$$v_o = -\frac{R_2}{R_1} v_1 \quad (10.6) \quad \rightarrow \quad v_o = -\frac{Z_2}{Z_1} v_1 \quad (10.7)$$

一般化

$$v_i = -v_o / A, \quad A \rightarrow \infty \quad \text{で} \quad v_i \rightarrow 0 \quad \text{仮想接地}$$

μA741

FREQUENCY-COMPENSATED OPERATIONAL AMPLIFIER

FAIRCHILD LINEAR INTEGRATED CIRCUIT

GENERAL DESCRIPTION – The μA741 is a high performance monolithic Operational Amplifier constructed using the Fairchild Planar* epitaxial process. It is intended for a wide range of analog applications. High common mode voltage range and absence of latch-up tendencies make the μA741 ideal for use as a voltage follower. The high gain and wide range of operating voltage provides superior performance in integrator, summing amplifier, and general feedback applications. Electrical characteristics of the μA741A and E are identical to MIL-M-38510/10101.

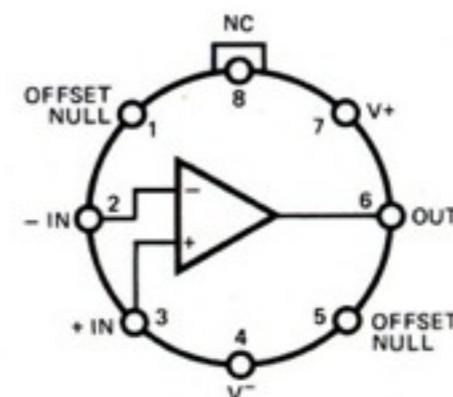
- NO FREQUENCY COMPENSATION REQUIRED
- SHORT CIRCUIT PROTECTION
- OFFSET VOLTAGE NULL CAPABILITY
- LARGE COMMON MODE AND DIFFERENTIAL VOLTAGE RANGES
- LOW POWER CONSUMPTION
- NO LATCH-UP

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	
μA741A, μA741, μA741E	±22 V
μA741C	±18 V
Internal Power Dissipation (Note 1)	
Metal Can	500 mW
Molded and Hermetic DIP	670 mW
Mini DIP	310 mW
Flatpak	570 mW
Differential Input Voltage	±30 V
Input Voltage (Note 2)	±15 V
Storage Temperature Range	
Metal Can, Hermetic DIP, and Flatpak	–65°C to +150°C
Mini DIP, Molded DIP	–55°C to +125°C
Operating Temperature Range	
Military (μA741A, μA741)	–55°C to +125°C
Commercial (μA741E, μA741C)	0°C to +70°C
Lead Temperature (Soldering)	
Metal Can, Hermetic DIPs, and Flatpak (60 s)	300°C
Molded DIPs (10 s)	260°C
Output Short Circuit Duration (Note 3)	Indefinite

CONNECTION DIAGRAMS

8-LEAD METAL CAN (TOP VIEW) PACKAGE OUTLINE 5B



Note: Pin 4 connected to case

ORDER INFORMATION

TYPE	PART NO.
μA741A	μA741AHM
μA741	μA741HM
μA741E	μA741EHC
μA741C	μA741HC

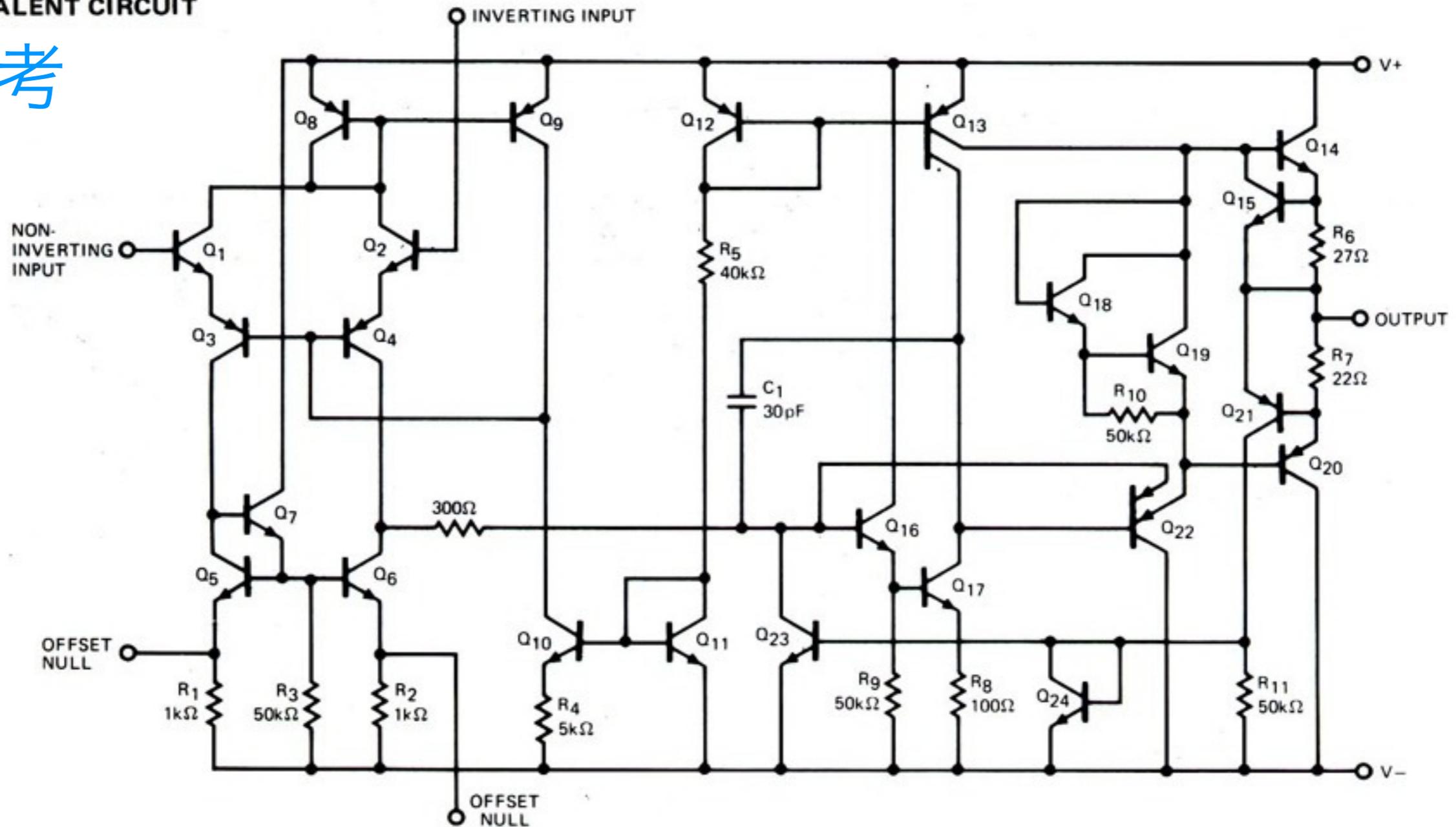
14-LEAD DIP (TOP VIEW) PACKAGE OUTLINE 6A, 9A



Common Mode Rejection Ratio	$V_S = \pm 20V, V_{IN} = \pm 15V, R_S = 50\Omega$	80	95	210	mA
Adjustment For Input Offset Voltage	$V_S = \pm 20V$	10			mV
Output Short Circuit Current		10		40	mA
Power Dissipation	$V_S = \pm 20V$			150	mW
Input Impedance	$V_S = \pm 20V$	0.5			M Ω
Output Voltage Swing	$V_S = \pm 20V,$	$R_L = 10k\Omega$	± 16		V
		$R_L = 2k\Omega$	± 15		V
Large Signal Voltage Gain	$V_S = \pm 20V, R_L = 2k\Omega, V_{OUT} = \pm 15V$		32		V/mV
		$V_S = \pm 5V, R_L = 2k\Omega, V_{OUT} = \pm 2V$	10		V/mV

EQUIVALENT CIRCUIT

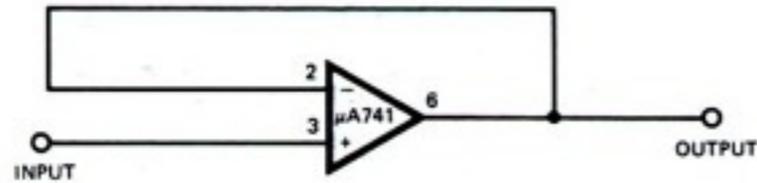
参考



TYPICAL APPLICATIONS

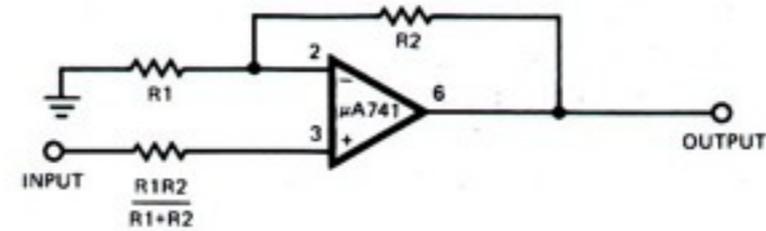
参考

UNITY-GAIN VOLTAGE FOLLOWER



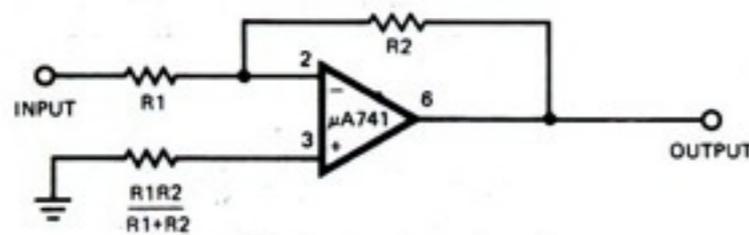
$R_{IN} = 400 \text{ M}\Omega$
 $C_{IN} = 1 \text{ pF}$
 $R_{OUT} \ll 1 \Omega$
 $B.W. = 1 \text{ MHz}$

NON-INVERTING AMPLIFIER



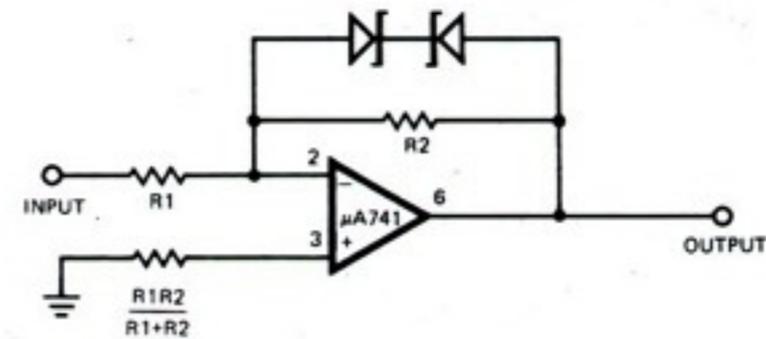
GAIN	R1	R2	BW	R _{IN}
10	1 kΩ	9 kΩ	100 kHz	400 MΩ
100	100 Ω	9.9 kΩ	10 kHz	280 MΩ
1000	100 Ω	99.9 kΩ	1 kHz	80 MΩ

INVERTING AMPLIFIER



GAIN	R1	R2	BW	R _{IN}
1	10 kΩ	10 kΩ	1 MHz	10 kΩ
10	1 kΩ	10 kΩ	100 kHz	1 kΩ
100	1 kΩ	100 kΩ	10 kHz	1 kΩ
1000	100 Ω	100 kΩ	1 kHz	100 Ω

CLIPPING AMPLIFIER



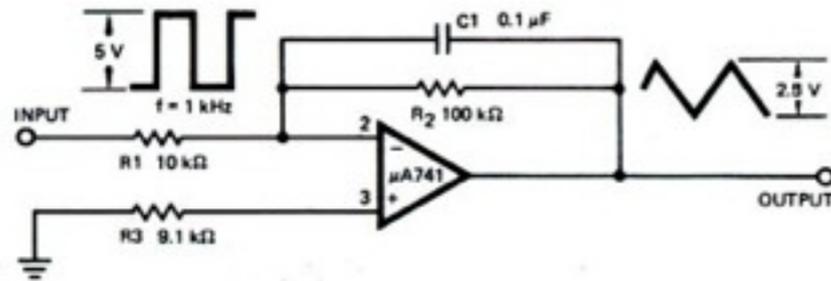
$$\frac{E_{OUT}}{E_{IN}} = \frac{R2}{R1} \text{ if } |E_{OUT}| \leq V_Z + 0.7 \text{ V}$$

where V_Z = Zener breakdown voltage

TYPICAL APPLICATIONS (Cont'd)

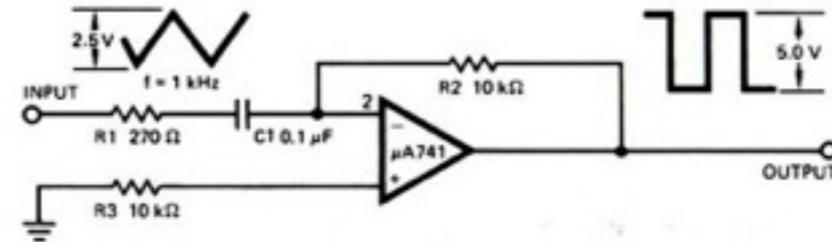
参考

SIMPLE INTEGRATOR



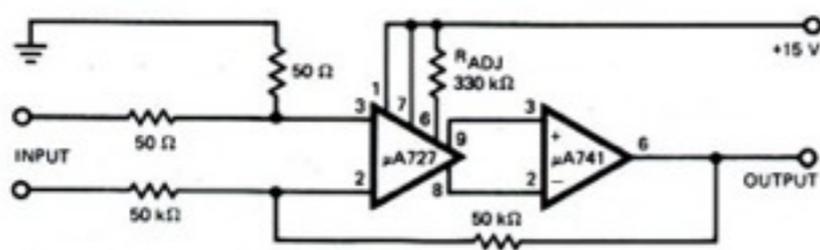
$$E_{OUT} = - \frac{1}{R_1 C_1} \int E_{IN} dt$$

SIMPLE DIFFERENTIATOR



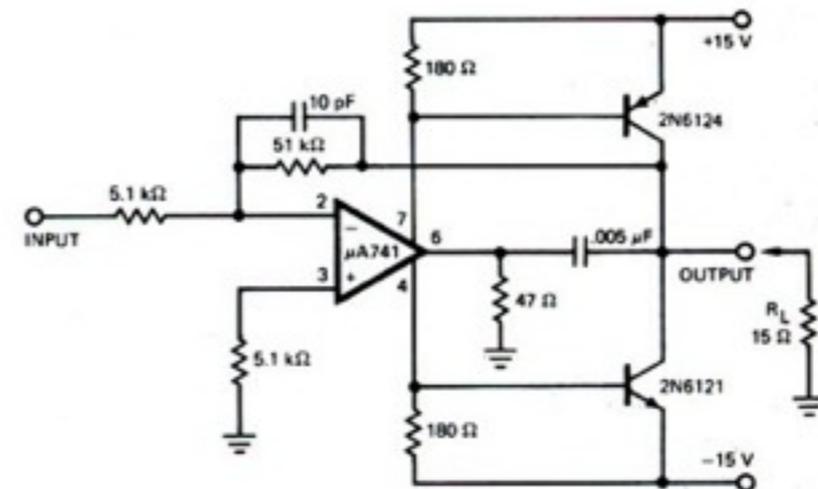
$$E_{OUT} = - R_2 C_1 \frac{dE_{IN}}{dt}$$

LOW DRIFT LOW NOISE AMPLIFIER



Voltage Gain = 10^3
 Input Offset Voltage Drift = $0.6 \mu V/^{\circ}C$
 Input Offset Current Drift = $2.0 pA/^{\circ}C$

HIGH SLEW RATE POWER AMPLIFIER



加算器

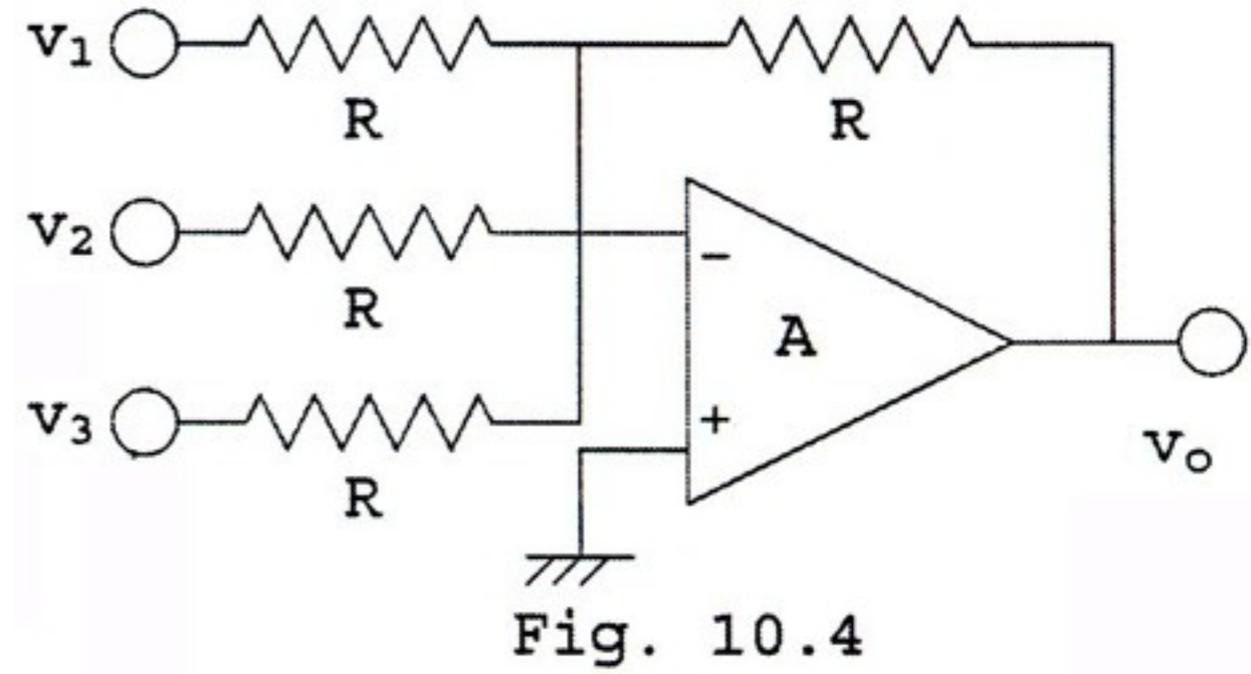
重ねの理を使ってまず v_1 だけ考える。(10.6)から

$$v_o = -v_1 \quad (10.8)$$

3つの入力が同時に加わると

$$v_o = -(v_1 + v_2 + v_3) \quad (10.9)$$

加算した出力が得られる



積分器

かつては微分方程式を解く為に、今は波形の面積を求めたり自動制御に用いる。

(10.7) から

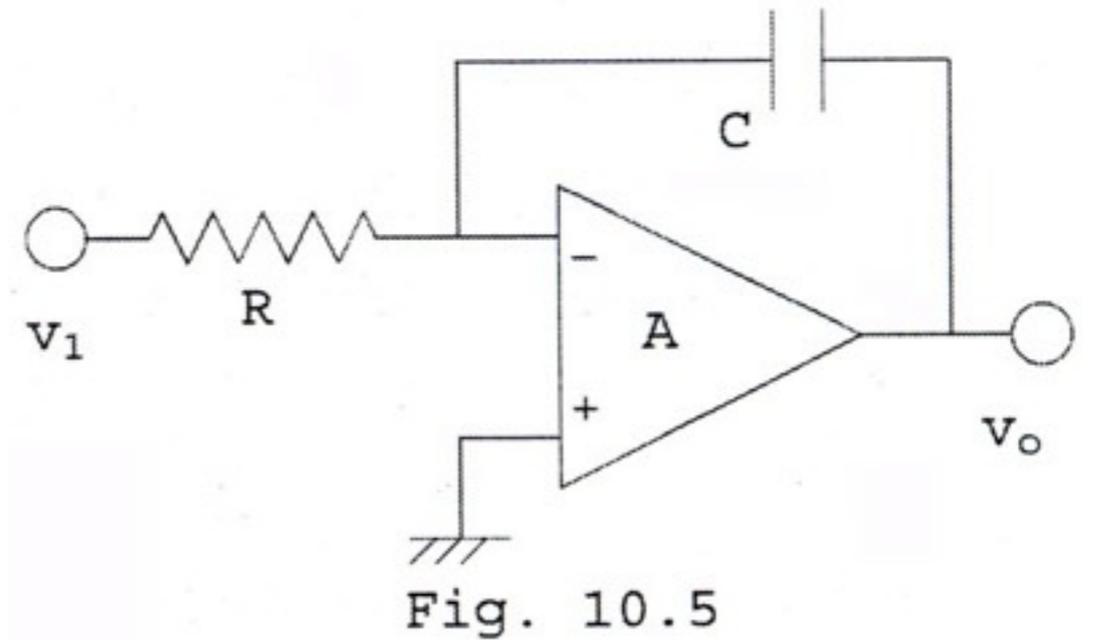
$$Z_1 = R, \quad Z_2 = \frac{1}{j\omega C}$$

$$v_o = -\frac{1}{j\omega CR} v_1 \quad (10.10)$$

この関係を満たす v_1 は $v_1 = B\varepsilon^{j\omega t}$ とおくと

$$\int B\varepsilon^{j\omega t} dt = \frac{1}{j\omega} B\varepsilon^{j\omega t} = \frac{1}{j\omega} v_1$$

$$v_o(t) = -\int_0^t v_1(\tau) d\tau \quad (10.11)$$



非反転増幅器

入力インピーダンス
は非常に大きい。

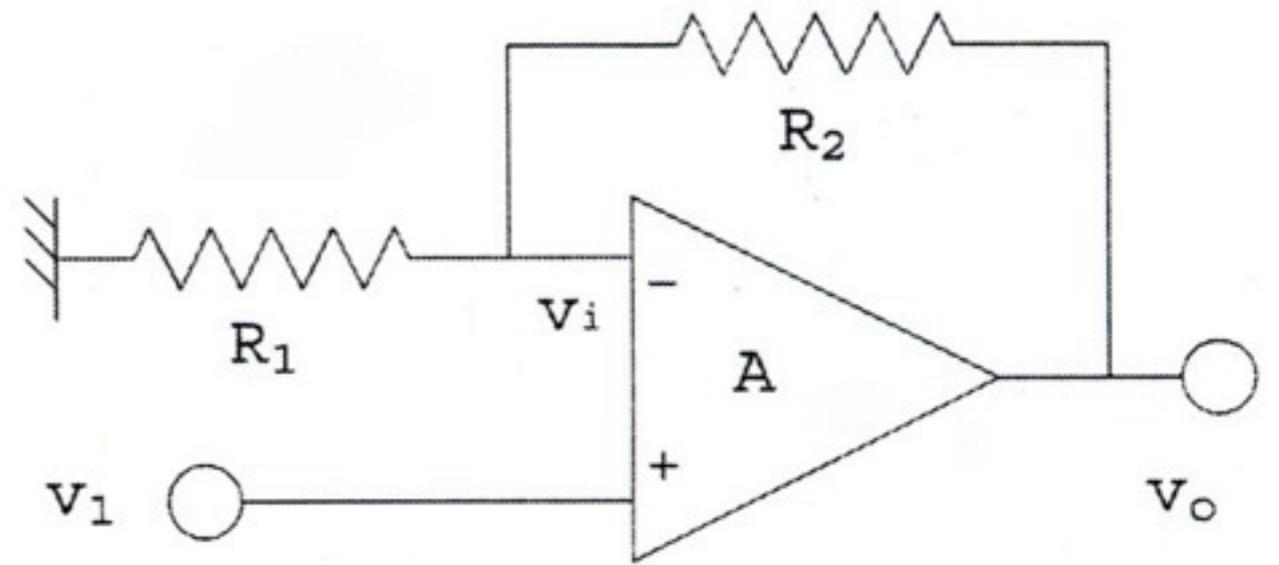


Fig. 10.6

$$v_i = \frac{R_1}{R_1 + R_2} v_o$$

$$v_o = A(v_1 - v_i) = A\left(v_1 - \frac{R_1}{R_1 + R_2} v_o\right)$$

$$v_o = \left(1 + \frac{R_2}{R_1}\right) v_1 \quad (10.12)$$

しかし実際には、入力インピーダンスが高過ぎて
ノイズが入りやすく、使いにくい。

ボルテージフォロア

$$v_o = A(v_1 - v_o)$$

$$(1 + A)v_o = Av_1$$

$$v_o = \frac{A}{1 + A}v_1, \quad A \rightarrow \infty$$

$$v_o = v_1 \quad (10.13)$$

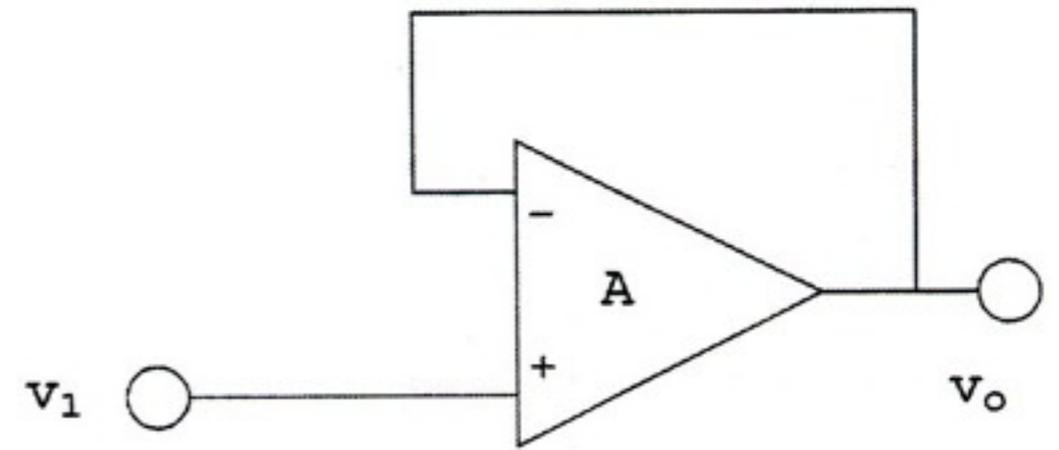


Fig. 10.7

高インピーダンス→低インピーダンス変換用として良く用いられる。増幅率1では使えないオペアンプも有るので注意が必要。

とする。(3.4)式は by と $-c$ との和の符号を変えたものが $a(dy/dt)$ であることを表わしているから、図3-2の加算器の左側に $-c$ と by を入力として入れると、加算器では入力と出力が反対符号となるので右側から $a(dy/dt)$ が出力として得られ

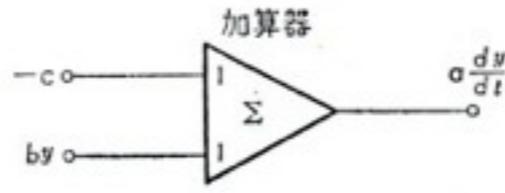


図 3-2

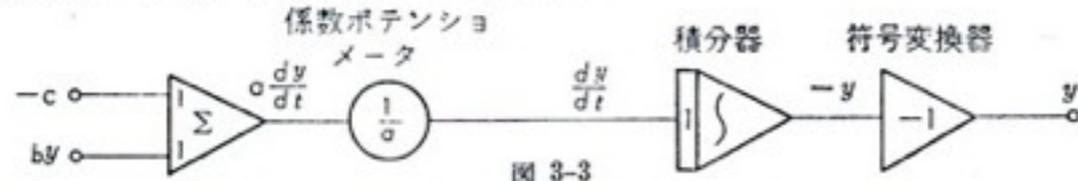


図 3-3

る。この $a(dy/dt)$ は得られたものとして図3-3のようにポテンショメータを用いた係数器で $1/a$ (ただし $a > 1$) を乗じて dy/dt をつくり、さらにそれを積分すると符号が変わって $-y$ が得られる。この $-y$ を符号変換器で変換して y を得る。このままでは、図3-1の電気回路においてスイッチを閉じない場合と同様に開回路であるから、電流は流れえない。そこで図3-4のように係数ポテンシ

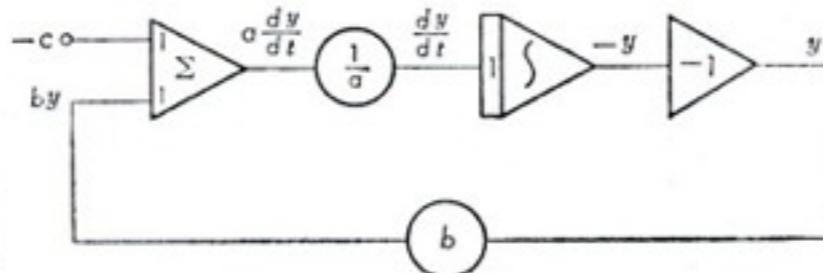


図 3-4

ョメータで y に b (ただし $b < 1$) を乗じて加算器の入力側に入れてやると、図3-4のような閉回路が得られる。図3-1が式(3.1)を模擬していたように図3-4も式(3.1)を模擬した回路である。そこで、図3-4の回路の入力端に $-c$ ボルトを加えて回路に過渡現象を起こさせ、そのときの y を測定すれば(3.1)式の解が得られる。次に齊次微分方程式の場合を考えてみる。

$$\frac{d^2y}{dt^2} + a \frac{dy}{dt} + y = 0, \quad (0 \leq a \leq 1) \quad (3.5)$$

いま、式(3.5)を初期条件、 $y_0=1, (dy/dt)_0=0$ の下で解く場合を考える。最高階の項について解くと

$$\frac{d^2y}{dt^2} = -\left(a \frac{dy}{dt} + y\right) \quad (3.6)$$

前と同様にして閉回路をつくと図3-5になる。図3-5の左から2番目の積分器の①は初期条件を入れることを示している。回路の組み方はただ一つとは限らず加算と積分とを同

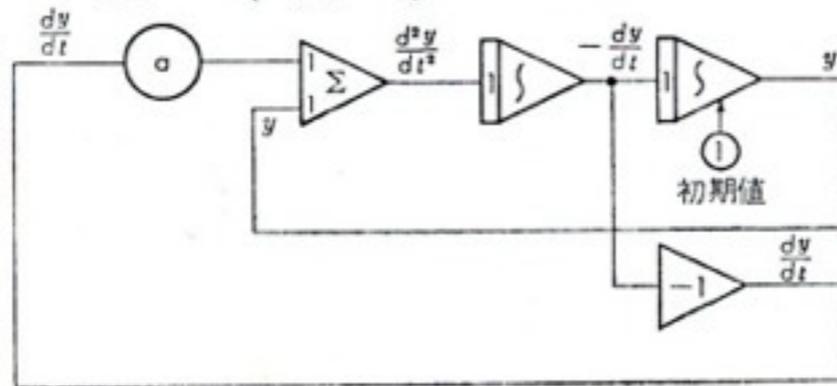


図 3-5

参考

時に行なわせると要素が一つ節約されて図3-6となる。

よって図3-5または図3-6で(3.5)式を解くには、初期条件として1ボルトをこの回路に加えることによって過渡現象を起こさせ、電圧 y を測定すればよいわけである。

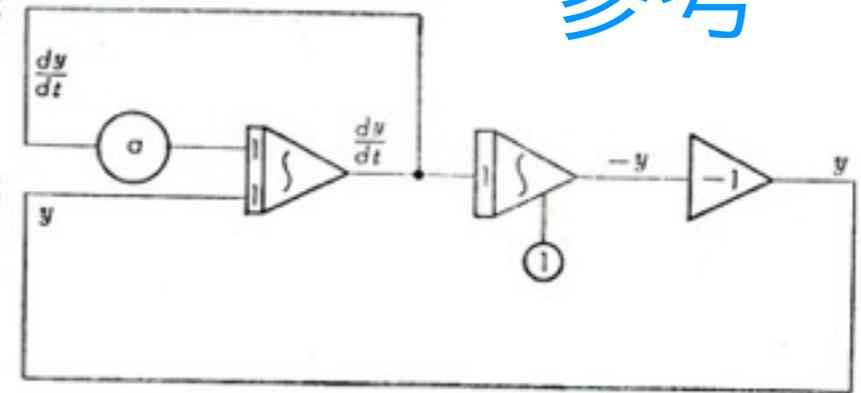


図 3-6

3.2. 基本的演算器

前節のアナコンの原理の説明では、各種の演算器を記号で表わしたが、この節ではそれらの演算器の構成原理について説明する。

1. 線型演算器

(1) 演算増幅器 (operational amplifier)

係数ポテンシメータ以外の線型演算器は、すべて演算増幅器によって構成されている。演算増幅器とは図3-7のように適当なインピーダンス Z_f で帰還されている高利得増幅器の総称である。回路が安定に働くためには帰還は負帰還でなければならないので、入力電圧と出力電圧とは反対符号となる。入力インピーダンス Z_1, Z_2, \dots, Z_n は直接に増幅器初段真空管の制御格子につながり、陰極格子間に漏れ抵抗は入れないので、格子電流は実用上流れない。よって増幅器には電流は流れ込まないと考えてよい。すなわち、格子に流れ込む電流の代数和は零に等しいからキルヒホッフの第1法則により

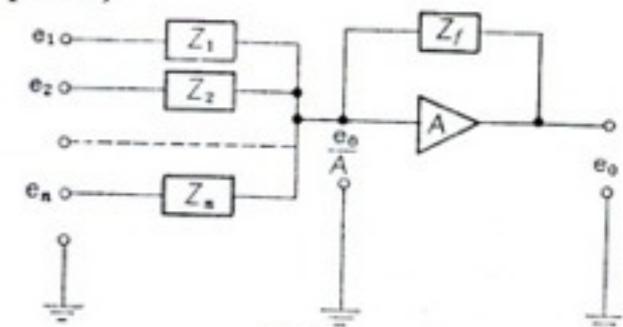


図 3-7

$$\begin{aligned} &\left(\frac{e_0}{A} - e_1\right) \frac{1}{Z_1} + \left(\frac{e_0}{A} - e_2\right) \frac{1}{Z_2} + \dots \\ &\dots + \left(\frac{e_0}{A} - e_n\right) \frac{1}{Z_n} + \left(\frac{e_0}{A} - e_0\right) \frac{1}{Z_f} = 0 \end{aligned}$$

上式を e_0 について解くと

$$e_0 = -\left(1 - \frac{1}{1 - A\beta}\right) Z_f \left(\frac{e_1}{Z_1} + \frac{e_2}{Z_2} + \dots + \frac{e_n}{Z_n}\right) \quad (3.7)$$

ここで、

$$\beta = \left(1 + \frac{Z_f}{Z_1} + \frac{Z_f}{Z_2} + \dots + \frac{Z_f}{Z_n}\right)^{-1}$$

A は非常に大きく、したがって $|A\beta|$ も 1 に比べて非常に大きいので、式(3.7)は近似的に

今回のポイント

- FETの原理
- FETの種類
- FET回路の動作
 - 動作点の決定
 - バイアス抵抗の設定

FETの等価回路

今回のポイント

オペアンプ回路

- ICオペアンプの特性
 - 理想と現実
- オペアンプの基本回路
 - 反転増幅器
 - 加算器
 - 積分(微分)器
 - 非反転増幅器
 - ボルテージフォロア
 - 計装(インスツルメンテーション)アンプ(問10.3)